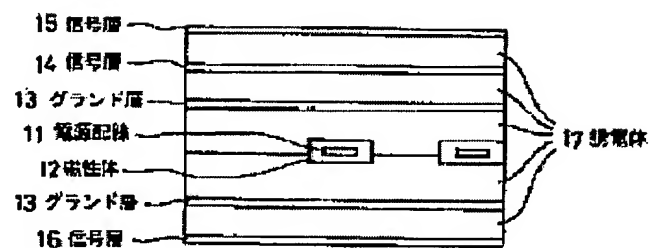


PRINTED WIRING BOARD

Patent number: JP2000183540
Publication date: 2000-06-30
Inventor: HOSHINO SHIGEKI
Applicant: NIPPON ELECTRIC CO
Classification:
- International: H05K3/46
- european:
Application number: JP19980359111 19981217
Priority number(s): JP19980359111 19981217

Abstract of JP2000183540

PROBLEM TO BE SOLVED: To suppress emission of high-frequency noise having substantially no effect on the high-frequency operation of signal lines by forming magnetic material between a power supply wiring layer and ground layers a so that the power supply wiring is covered with the magnetic material and forming insulating dielectric in the other portion. **SOLUTION:** A magnetic material 12 is formed on a power supply wiring layer 11 so that power lines are covered with the magnetic material, and two ground 13 is placed above and under thereof. Dielectric 17 is placed between the ground layers 13 and the power supply wiring layer 11. Further, signal wirings layers 14-16 are formed outside the ground layers 13 with the dielectric 17 in-between. As a result, high-frequency magnetic fields produced due to high-frequency current passed through the power lines are confined in the surrounding of the power lines, and thus effect on the surroundings is suppressed. Therefore, the impedance of the wiring can be enhanced.



Data supplied from the esp@cenet database - Worldwide

M-1120

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-183540
(P2000-183540A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. ⁷	識別記号	F I	ターマート* (参考)
H 0 5 K	3/46	H 0 5 K 3/46	Z 5 E 3 4 6

審査請求 有 請求項の数 4 O L (全 7 頁)

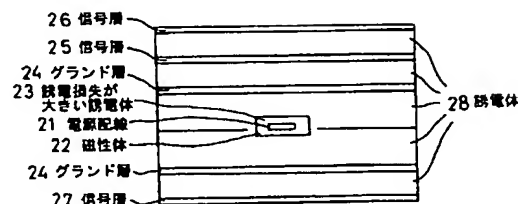
(21) 出願番号	特願平10-359111	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成10年12月17日 (1998.12.17)	(72) 発明者	星野 茂樹 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100065385 弁理士 山下 穰平
		Fターム (参考)	5E346 AA11 AA13 AA15 AA23 AA31 AA35 AA41 BB02 BB03 BB04 BB07 BB11 CC21 DD02 DD07 DD09 EE02 FF45 GG28 HH01

(54) 【発明の名称】 プリント配線基板

(57) 【要約】

【課題】 プリント配線基板内部の電源層とグラウンド層にEMI対策を施すことにより、信号ラインの高周波動作には殆ど影響を与えないで、しかも、高周波ノイズの放射を抑え、従来の実装されたEMI対策部品を低減することができるプリント配線基板を提供する。

【解決手段】 多層プリント配線基板において、1層以上の信号配線層と電源配線層とグラウンド層とからなり、電源配線層が2層のグラウンド層で挟まれた構造で、かつ電源配線の周囲を磁性体で囲んだ構造を持つことを特徴とする。



【特許請求の範囲】

【請求項1】 多層プリント配線基板において、1層以上の信号配線層と電源配線層とグランド層とからなり、電源配線層が2層のグランド層で挟まれた構造を持つことを特徴とするプリント配線基板。

【請求項2】 前記電源配線層は、表面に設けられたLSIの電源ごとに配線化されており、前記グランド層は、層間を配線するビアホールおよびその周りを除いて、プリント基板全体に広がっている金属板であることを特徴とする請求項1に記載のプリント配線基板。

【請求項3】 前記電源配線層とグランド層との間において、磁性体材料が電源配線を覆うように構成され、また、その他の部分には絶縁誘電体が形成されていることを特徴とする請求項1あるいは2に記載のプリント配線基板。

【請求項4】 前記電源配線層に形成された電源配線の上下に、配線の幅よりもわずかに大きい幅の磁性体薄膜が形成され、かつ、前記電源配線が磁性体薄膜で覆われている構造であって、前記グランド層との間には絶縁誘電体が形成されていることを特徴とする請求項1～3の何れかに記載のプリント配線基板。

【請求項5】 前記電源配線層とグランド層との間において、前記磁性体材料あるいは磁性体薄膜の周囲に、誘電損失が大きい絶縁誘電体が形成されていることを特徴とする請求項4に記載のプリント配線基板。

【請求項6】 前記プリント配線基板の内部の電源配線層と、表面に実装されたICの電源ピンとの間に存在する層間ビアホールの内部に、誘電損失の大きな誘電体あるいは絶縁質または金属質磁性体が、埋め込まれていることを特徴とする請求項3～5の何れかに記載のプリント配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリント配線基板に関し、特に、電磁放射を抑制するためのプリント配線基板に関するものである。

【0002】

【従来の技術】 従来、プリント基板でのEMI対策としては、プリント基板の表面実装面において、デカップリングコンデンサや抵抗を、電源ラインや信号線に挿入することが、主流であった。また、プリント基板配線の表面に、磁性体入りのソルダーレジストを形成して、シールド効果を持たせたり（特開平9-283939号公報参照）、プリント基板の表面や内部に金属層を形成してシールド効果を持たせる（特開平2-322140号公報、特開平5-283822号公報参照）方法が知られている。

【0003】

【発明が解決しようとする課題】 通常、部品やICが実装されたプリント配線基板には、信号配線と電源とグラ

ンドが存在する。そして、高周波のノイズは信号線に流れるが、電源ラインにも流れ、実装のすべてのICの電源が、電源ラインにつながっていることから、高周波のノイズの多くが、電源ラインを流れていると考えられる。

【0004】 しかし、従来の技術では、主に、信号線のみの方策を考慮しており、電源-グランド間に流れる高周波電流を考えていない。信号線に対する対策のみでは、プリント配線基板全体におけるノイズの拡散を、あまり抑えることができない。また、信号線に過度に対策を行うと、信号の周波数特性が悪くなり、高周波動作が困難になる。

【0005】 従って、従来のプリント基板では、多くの高周波電流が流れている電源-グランド層に、デカップリングコンデンサを、部品として搭載するのみであった。この際、前記コンデンサは、高周波ではインダクティブに働くようになり、高周波電流が流れ難くなる。このため、前記コンデンサだけでは、ICなどから発生するより高周波の電流の拡散を防ぐのが難しい。そこで、プリント基板内部に形成されている電源とグランドとに対するEMI対策を行うことが、極めて重要となっている。

【0006】 本発明は、上記事情に基づいてなされたもので、その目的は、プリント配線基板内部の電源層とグランド層にEMI対策を施すことにより、信号ラインの高周波動作には殆ど影響を与えないで、しかも、高周波ノイズの放射を抑え、従来の実装されたEMI対策部品を低減することができるプリント配線基板を提供することにある。

【0007】

【課題を解決するための手段】 このため、本発明のプリント配線基板では、多層プリント配線基板において、1層以上の信号配線層と電源配線層とグランド層とからなり、電源配線層が2層のグランド層で挟まれた構造を持つことを特徴とする。

【0008】 この場合、本発明の実施の形態として、前記電源配線層は、表面に設けられたLSIの電源ごとに配線化されており、前記グランド層は、層間を配線するビアホールおよびその周りを除いて、プリント基板全体に広がっている金属板であること、前記電源配線層とグランド層との間において、磁性体材料が電源配線を覆うように構成され、また、その他の部分には絶縁誘電体が形成されていること、更には、前記電源配線層に形成された電源配線の上下に、配線の幅よりもわずかに大きい幅の磁性体薄膜が形成され、かつ、前記電源配線が磁性体薄膜で覆われている構造であって、前記グランド層との間には絶縁誘電体が形成されていることが好ましい。

【0009】 更に、前記電源配線層とグランド層との間において、前記磁性体材料あるいは磁性体薄膜の周囲に、誘電損失が大きい絶縁誘電体が形成されていること、ま

た、前記プリント配線基板の内部の電源配線層と、表面に実装されたICの電源ピンとの間に存在する層間ビアホール内部に、誘電損失の大きな誘電体あるいは絶縁質または金属質磁性体が、埋め込まれていることも有効である。

【0010】このように、ICの電源ラインを通して拡散する高周波電流の拡散を防ぐために、プリント配線基板内の電源配線層とグランド層の間において、配線化された電源ラインを取り囲むように磁性体を形成したり、配線化された電源ラインの上下に周囲を囲むように磁性体薄膜を形成したり、それらの磁性体の周囲に誘電損失の大きい誘電体を形成したり、それらの方法に加えて、電源配線のためにビアホールの中に誘電損失の大きい誘電体や磁性体を挿入することで、電源ラインのインピーダンスを大きくすることができ、高周波電流が電源ラインに流れに難くなり、ICの電源ピンに取り付けられたデカップリングコンデンサに多く流れるようになる。

【0011】この場合、それだけでは、電源ラインへの高周波電流の拡散の抑制が不十分ならば、電源配線ラインとグランド層の間に磁性体をラインの周囲のみに配置し、あるいは、電源配線を取り囲むように上下に磁性体薄膜を形成し、あるいは、それらの磁性体の周囲に誘電損失の大きな誘電体を配置したり、それらと合わせてビアホール中に誘電損失の大きい誘電体や磁性体を挿入することにより、電源ラインのインピーダンスを、更に高めることができる。また、併せて、高周波電流の減衰をも増加させることができるので、EMI放射の、より大きな抑制が可能になる。また、この構造のプリント配線基板では、外部からのノイズに対しても、その電流が流れに難いことと、高周波での大きな減衰特性により、その影響を低減することが可能となる。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して、詳細に説明する。図1は、本発明の実施の形態を説明するためのプリント配線基板の構成断面図であって、ここでは、配線化された電源ライン

(電源配線層) 11上に磁性体12が、電源ライン11を覆うように、設けられており、その上下には、2つのグランド層13が配置され、また、電源配線層11との間には誘電体17が設けられる。そして、更に、そのグランド層13の外側には、信号配線層14、15、16が、誘電体17を挟んで、設けられている。

【0013】磁性体としては、絶縁体の磁性体(酸化物、アモルファス、多層膜など)や金属系磁性体や磁性薄膜が使用できる。本発明においては、磁性体がプリント配線基板全体に拡がっていないので、金属系材料で生じ易いビアホールにおけるショート問題は生じない。また、電源ラインを覆うように、磁性体が形成されているため、電源ラインに流れる高周波電流によって生じる高周波磁界を、電源ラインの周囲に閉じ込めることがで

き、周囲への影響の低減を抑えられる。そのために配線のインピーダンスを高めることが可能になる。

【0014】一般に、磁性体の透磁率は、図2に示す周波数特性を有しており、ある周波数より高い周波数では、実部より虚部のほうが大きくなる。そのような周波数範囲では、磁性体による吸収が大きくなるので、その周波数が、プリント配線基板に搭載されたICの最高動作周波数よりも大きくなるような材料を、適宜、選択することが必要となる。しかし、この磁性体の高周波での吸収特性は、電源ラインに流れる高周波電流が原因となっている、所謂、高周波の不要電磁放射の抑制を増加させることに利用できるのである。

【0015】更に、場合によっては、図3に示すように、電源ラインを取り囲んだ磁性体の周囲に、高周波で誘電損失の大きな誘電体を配置する構造することにより、高周波領域での吸収特性を更に大きくできるので、EMI抑制効果に有効になる。なお、誘電損失の大きな誘電体としては、グラファイト粒子などをエポキシ樹脂に混入した複合材料が利用できる。

【0016】また、図1や図3に示した構造に加えて、図4に示したように、ICなどの電源ピンに接続するために設けられる、層間を跨ぐビアホール穴の中に、誘電損失の大きな誘電体や磁性体を挿入する構造にすることによっても、よりインピーダンスの増加と吸収増加を図ることができるから、EMI抑制の効果が増強される。

【0017】以上のような構造のプリント配線基板によって、電源とグランド層に対するインピーダンスが高められ、かつ、動作周波数よりも高い周波数の電流の吸収が高められ、大きなEMIの抑制効果が実現できる。

【0018】

【実施例】(実施例1)次に、本発明の具体例を挙げて説明する。ここでは、プリント配線基板として以下の様なものを製作した。即ち、配線材としてCuを用いた信号層および電源層の厚みを35 μ mとし、グランド層の厚さを18 μ mとした。

【0019】図1に示した構造で、1層の電源層の上下にグランド層が配置され、その間には、誘電体として、厚さ:0.6mmのガラスエポキシ樹脂を形成した。電源配線層は約1mmの幅に配線化され、そのラインの上下に密着して、磁性体を形成した。ガラスエポキシ樹脂上に、電極配線幅より大きなパターンを削り抜いた、厚さ:100 μ mのガラスエポキシ樹脂(プリプレグ)を貼り付け、そのパターン溝中に、平均粒径:8 μ mのNi-Znフェライト粒子をエポキシ樹脂に混合した複合体を、塗り込み、これを2つ、用意し、一方の磁性体表面に、厚さ:約35 μ mで、幅:1mmのCu配線を形成した後、もう一方のものと重ね合わせて、加圧加熱し、貼り合わせた。

【0020】この複合磁性体の透磁率は、図5のような

周波数特性であった。上下のグランド層は、ビアホールとその周囲を除いたプリント配線基板の大きさの、一枚もののCu材で形成されている。また、グランド層の外側に、図2に示すように、信号層を形成している。

【0021】このような断面構造を持つプリント配線基板のEMI放射特性を測定するために、プリント配線基板の信号層表面に20MHzの水晶発振器と送受信のドライバIC(HC244)とを、プリント基板中央において直線状になるように、配置し、送信ドライバの出力ピンと受信ドライバの入力ピンとを、0.5mmの配線ライン(信号層)で接続した。

【0022】また、水晶発振器とドライバICの電源ピンとグランドには、それぞれ、デカップリングコンデンサとして、0.1μFのチップコンデンサを接続した。電源ピンは、ビアホールで、内層の電源配線層と接続されている。受信ドライバの出力ピンには、負荷として5pFのチップコンデンサを接続し、また、電源には、外部から直流5Vを供給した。なお、比較のため、磁性体が存在していないプリント配線基板も用意した。この基板は磁性体がないだけで、後は全て上記のものと同じである。

【0023】以上のように回路が形成されたプリント配線基板について、そのEMI放射特性を電波暗室内で、3m法を用いて測定を行った。磁性体がない基板を測定したところ、垂直偏波の放射電界強度が、クロック周波数の倍数である160MHzで、最大の約40dBμV/mであった。

【0024】一方、磁性体が存在するプリント配線基板についての同様の測定の結果は、放射電界強度が、全周波数で、磁性体がないものより小さくなっており、160MHzにおいて、約36dBμV/mとなり、最大、約4dB低減された。

【0025】(実施例2)この実施例は、実施例1と同じように、プリント配線基板を作成する際に、図1に示したように、磁性体として、厚さ:約3μmのFeCoBの薄膜を作成した。まず、下地の膜として、アルゴン雰囲気中(1mtorr)で、スパッタ法により、ガラスエポキシ樹脂上にFeCoBのターゲットを用いて、薄膜を形成した。この際、マスクにより、電源配線より大きい幅(約1.5mm程度)に作成した。

【0026】しかる後、実施例1と同じ厚さと幅のCu配線を形成し、その後で、下地の磁性薄膜作成時と同じ条件で、同じ薄膜を電源配線の上に作成した。その薄膜の特性は、20MHzの比透磁率が約1000(虚部は殆どゼロ)であり、約300MHz以上では、比透磁率の実部の値が虚部の値より小さくなる。なお、その他の条件は実施例1と同じにした。更に、表面に実装する回路部品も、実施例1と同じに作成した。

【0027】以上のように回路が形成されたプリント配線基板について、そのEMI放射特性を電波暗室内で、

3m法を用いて、測定を行った。そして、この実施例2で作成したプリント配線基板に対する測定の結果、放射電界強度は、全周波数で実施例1の磁性体がない場合より小さくなっており、最大の放射電界強度の低減は、200MHzで、約5dBであった。

【0028】(実施例3)この実施例では、実施例1と同じように、プリント配線基板を作成する際に、図3に示したように、磁性体の外側に、誘電損失の大きな誘電体を磁性体を覆うように形成した。ここで用いた誘電体は、平均粒径10μmのグラファイト粒子をエポキシ樹脂に混入した複合体(グラファイト比率は約10%程度)を、厚さ:50μmに形成したもので、この誘電体の誘電率は、約15程度で、100MHzでの、tanδは約0.2程度であった。また、磁性体としては、実施例2と同じ磁性薄膜を用い、電源ラインの上下に作成した。従って、その薄膜の特性は実施例2と同じである。その他の条件は、実施例1と同じにし、また、表面に実装する回路部品も、実施例1と同じに作成した。

【0029】以上のように回路が形成されたプリント配線基板について、そのEMI放射特性を電波暗室内で、3m法を用いて測定を行った。そして、この実施例3で作成したプリント配線基板に対する測定の結果、放射電界強度は、全周波数で実施例1の磁性体がない場合より小さくなっており、さらに、実施例1の磁性体がある場合よりもほぼ全周波数域で、同じか、それ以下の値が得られた。また、最大の放射電界強度の低減は、200MHzでの約3dBであった。

【0030】(実施例4)この実施例では、実施例1と同じ構造のプリント配線基板において、電源ラインに形成されているビアホールが約1mmである。Cuメッキ膜が存在するために、穴径はそれ以下になるが、その穴の中に、実施例1で用いた、固化する前の状態の混合磁性体を、真空注入法により挿入した。その他の条件は、実施例1と全く同じにし、回路も同じに製作した。

【0031】以上のように回路が形成されたプリント配線基板について、そのEMI放射特性を電波暗室内で、3m法を用いて測定を行った。この実施例4で作成したプリント配線基板に対する測定の結果、放射電界強度は、全周波数で実施例1の磁性体がある場合と比べてみると、ほぼ全周波数域で同じか、それ以下の値となっている。そして、最大の放射電界強度の低減は400MHzで、約2dBであった。なお、ビアホールには、実施例2で用いたのと同じ、誘電損失の大きい誘電体を挿入した場合で、最大約1dB程度の低減効果が得られた。

【0032】

【発明の効果】以上詳述したように、本発明では、電源層を配線化し、かつ、電源配線ラインとグランド層の間において磁性体をラインの周囲のみに配置し、あるいは、電源配線を取り囲むように、上下に磁性体薄膜を形

成し、あるいは、それらの磁性体の周囲に誘電損失が大きな誘電体を形成し、あるいは、それらと合わせて、ビアホール中に誘電損失の大きい誘電体や磁性体を挿入することなどにより、電源ラインのインピーダンスを更に高めることができるので、高周波電流が電源ラインに流れ難くなる。従って、高周波電流は、ICの電源ピンに取り付けられたデカップリングコンデンサに対して、殆どが流れるようになり、わずかな拡散電流に対して、高周波での減衰の増加によって、これを減少させることができるので、EMI放射の大幅な抑制が可能になる。

【図面の簡単な説明】

【図1】本発明のプリント配線基板の一実施形態を示す構成断面図である。

【図2】一般の磁性体の透磁率の周波数特性を示す概略図である。

【図3】本発明のプリント配線基板の一実施形態を示す構成断面図である。

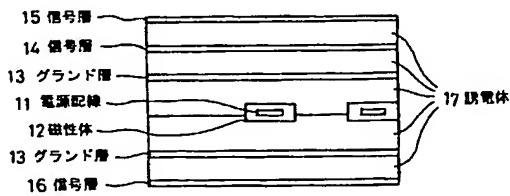
【図4】本発明のプリント配線基板の一実施形態を示す構成断面図である。

【図5】実施例1で使用した磁性体の透磁率の周波数特性を示す図である。

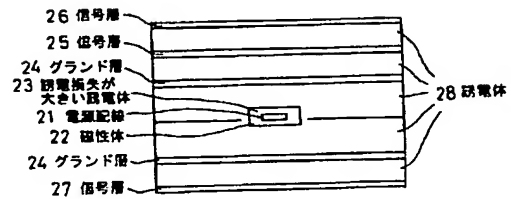
【符号の説明】

- 1 1 電源配線（電源配線層）
- 1 2 磁性体
- 1 3 グランド層
- 1 4、1 5、1 6 信号層
- 1 7 誘電体
- 2 1 電源配線（電源配線層）
- 2 2 磁性薄膜
- 2 3 誘電損失の大きい誘電体
- 2 4 グランド層
- 2 5、2 6、2 7 信号層
- 2 8 誘電体
- 3 1 電源配線（電源配線層）
- 3 2 磁性薄膜
- 3 3 グランド層
- 3 4、3 5、3 6 信号層
- 3 7 ビアホール
- 3 8 IC
- 3 9 電源ピンと配線
- 4 0 誘電損失の大きい誘電体あるいは磁性体
- 4 1 誘電体

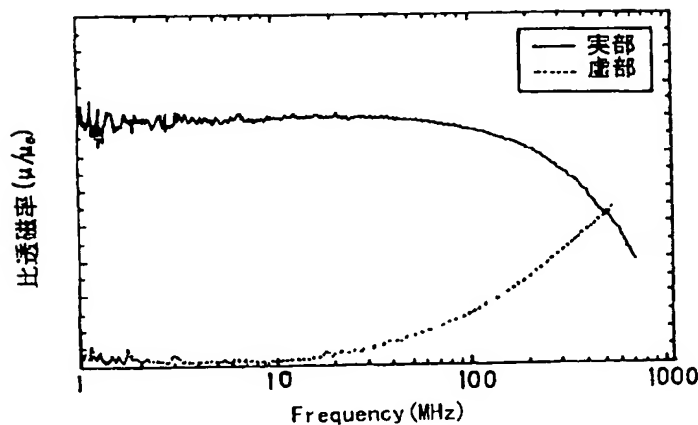
【図1】



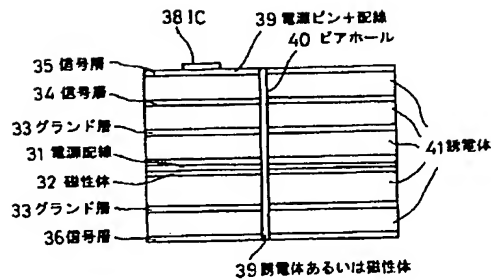
【図3】



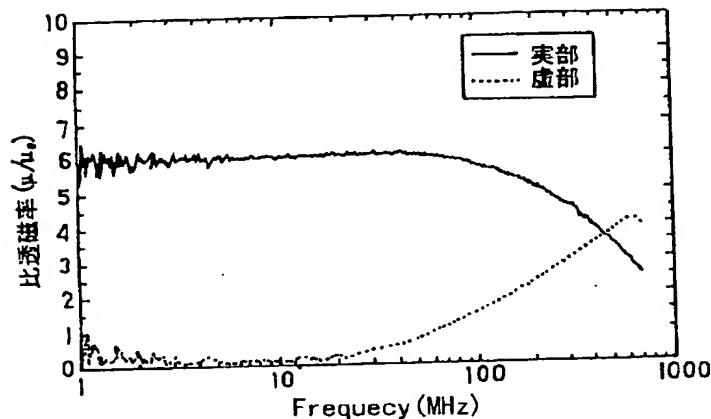
【図2】



【図4】



【図5】



【手続補正書】

【提出日】平成11年11月15日(1999. 11. 15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 多層プリント配線基板において、1層以上の信号配線層と電源配線層とグランド層とからなり、電源配線層は、2層のグランド層で挟まれ、表面に設けられたLSIの電源ごとに配線化されており、前記グランド層は、層間を配線するビアホールおよびその周りを除いて、プリント基板全体に広がっている金属板である構造において、前記電源配線層とグランド層との間において、磁性体材料が電源配線を覆うように構成され、また、その他の部分には絶縁誘電体が形成されていること

を特徴とするプリント配線基板。

【請求項2】 前記電源配線層に形成された電源配線の上下に、配線の幅よりもわずかに大きい幅の磁性体薄膜が形成され、かつ、前記電源配線が磁性体薄膜で覆われている構造であって、前記グランド層との間には絶縁誘電体が形成されていることを特徴とする請求項1に記載のプリント配線基板。

【請求項3】 前記電源配線層とグランド層との間において、前記磁性体材料あるいは磁性体薄膜の周囲に、誘電損失が大きい絶縁誘電体が形成されていることを特徴とする請求項2に記載のプリント配線基板。

【請求項4】 前記プリント配線基板の内部の電源配線層と、表面に実装されたICの電源ピンとの間に存在する層間ビアホールの内部に、誘電損失の大きな誘電体あるいは絶縁質または金属質磁性体が、埋め込まれていることを特徴とする請求項1～3の何れかに記載のプリント配線基板。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】このため、本発明では、多層プリント配線基板において、1層以上の信号配線層と電源配線層とグラウンド層とからなり、電源配線層は、2層のグラウンド層で挟まれ、表面に設けられたLSIの電源ごとに配線化されており、前記グラウンド層は、層間を配線するビアホールおよびその周りを除いて、プリント基板全体に広がっている金属板である構造において、前記電源配線層とグラウンド層との間において、磁性体材料が電源配線を覆うように構成され、また、その他の部分には絶縁誘電体が形成されていることを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】この場合、本発明の実施の形態として、前記電源配線層に形成された電源配線の上下に、配線の幅よりもわずかに大きい幅の磁性体薄膜が形成され、かつ、前記電源配線が磁性体薄膜で覆われている構造であって、前記グラウンド層との間には絶縁誘電体が形成されていることが好ましい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】

【発明の効果】本発明は、以上詳述したようになり、多層プリント配線基板において、1層以上の信号配線層と電源配線層とグラウンド層とからなり、電源配線層は、2層のグラウンド層で挟まれ、表面に設けられたLSIの電源ごとに配線化されており、前記グラウンド層は、層間を配線するビアホールおよびその周りを除いて、プリント基板全体に広がっている金属板である構造において、前記電源配線層とグラウンド層との間において、磁性体材料が電源配線を覆うように構成され、また、その他の部分には絶縁誘電体が形成されている。従って、磁性体材料の含有率を多くし、透磁率の高い材料としても、電極、グラウンド、信号配線間など、多くのビアホールを形成する際に、電極間でのショートを回避でき、磁性体材料の選択性が拡大でき、電源ラインのインピーダンスを更に高め、高周波電流が電源ラインに流れ難くなる。その結果、高周波電流は、ICの電源ピンに取り付けられたデカップリングコンデンサに対して、殆どが流れるようになり、僅かな拡散電流に対して、高周波での減衰の増加によって、これを減少させることができるので、EMI放射の大幅な抑制が可能になる。